

(19) Japanese Patent Office (JP)

(11) Publication Number: Hei 6-34996

(43) Date of publication of application: February 10, 1994

(12) Patent Laid-open Official Gazette (A)

(51) Int.Cl.<sup>4</sup>

G 02 F 1/136

G 02 F 1/1345

The Number of Claims: 7 (9 pages in total)

Request of Examination: not made

(54) Title of the Invention: ACTIVE MATRIX DISPLAY PANEL WITH BUILT-IN DRIVER

(21) Application number: Hei 4-186822

(22) Date of filing: July 14, 1997

(71) Applicant: SEIKO EPSON CORP.

2-4-1 Nishi Shinjuku, Shinjuku-ku, Tokyo, Japan

(72) Inventor: Takahito NAKAZAWA

c/o Suwa Seikosha Co., Ltd.

3-3-5 Owa, Suwa, Nagano, Japan

(74) Representatives: Patent attorney:

Minoru YAMADA

(57) [Abstract]

[Object] The structure that responds to a function in pixel areas and a driver circuit is adopted to realize an active matrix display panel with built-in driver which can improve display quality.

[Constitution] In a pixel area 40b, a signal line 41a formed of molybdenum a layer having high etching resistance and light-shielding effect and a pixel electrode 46 interpose an upper layer side interlayer insulating film 47, and the pixel electrode 46 is expanded to the maximum. The pixel electrode 46 is a stack electrode 49 formed of a molybdenum layer which is the same layer as the signal line 41a and is conductively connected to a drain 7 of

a TFT 8 interposed therebetween. In contrast, in a driver circuit side, a wiring layer of an aluminum layer is provided over the interlayer insulating film formed at the same time as the upper layer side interlayer insulating film 47.

## Specification

### 1. [Title of the Invention]

#### ACTIVE MATRIX DISPLAY PANEL WITH BUILT-IN DRIVER

### 2. [Scope of Claim]

[Claim 1] An active matrix display panel with built-in driver is characterized by comprising an upper side interlayer insulating film formed to an upper side of a signal line, and a pixel electrode conductively connected to a drain of a thin film transistor through a second contact hole in the upper side interlayer insulating film, a lower side interlayer insulating film, and a gate insulating film, which is formed in a condition where an end portion approaches an upward position of the signal line sectioning a pixel area to which itself belongs on the front side of the upper side interlayer insulating film in a pixel area sectioned by a scan line conductively connected to a gate electrode of a thin film transistor, and a signal line having high etching resistance conductively connected to a source of the thin film transistor through a first contact hole opened in the gate insulating film of the thin film transistor and the lower side interlayer insulating film on the front of the lower side interlayer insulating film formed on an upper layer side of the scan line.

[Claim 2] An active matrix display panel with built-in driver is characterized by comprising a stack electrode formed in the same layer as a signal line and conductively connected to a drain of a thin film transistor through a second contact hole opened in a gate insulating film and a lower layer side interlayer insulating film, an upper layer side interlayer insulating film formed on an upper layer side of the stack electrode, and a pixel electrode conductively connected to the stack electrode through a third contact hole opened in an upper layer side interlayer insulating film, which is formed in a condition where an end portion approaches an upward position of a signal line sectioning a pixel area to which itself belongs on the front side of the upper layer side interlayer insulating

film, and a signal line having high etching resistance conductively connected to a source of the thin film transistor through a first contact hole opened in the gate insulating film of the thin film transistor and the lower side interlayer insulating film on the front of the lower side interlayer insulating film formed on an upper layer side of the scan line.

[Claim 3] An active matrix display panel with built-in driver according to claim 1 or claim 2 is characterized in that said signal line is formed of a high-conductive light-shielding layer in both etching resistance, an end portion of the pixel electrode at a direct top position of said signal line sectioning a pixel area to which said pixel electrode belongs on the front side of said upper layer side interlayer insulating film, and light-shielding property a light-shielding mask in the signal line direction is formed of a conductive light-shielding layer.

[Claim 4] An active matrix display panel with built-in driver according to any of claims 1 to 3 is characterized by comprising is formed on a front side of the first interlayer insulating film that is the same layer as said upper layer side interlayer insulating film, and a low resistance wiring layer which is conductively connected to a lower layer side of the first interlayer insulating film through at least the first interlayer insulating film in at least one side of a driver circuit portion side of a signal line driver circuit portion and a scan line driver portion circuit controlling display state of a display panel by sending a signal to said pixel area through said signal line and said scan line.

[Claim 5] An active matrix display panel with built-in driver according to claim 4 is characterized by comprising a lower layer side wiring layer forming said low resistance wiring layer and a multi-layer wiring structure, which is formed in the same layer as said signal line on a front side of the second interlayer insulating film that is the same layer as said lower layer side interlayer insulating film in a driver circuit portion side having said low resistance wiring layer.

[Claim 6] An active matrix display panel with built-in driver according to claim 4 or claim 5 is characterized in that said low resistance wiring layer contains aluminum as a main component.

[Claim 7] An active matrix display panel with built-in driver according to any of claims 1

to 6 is characterized in that said signal line contains molybdenum as a main component.

### 3. Detailed Description of the Invention

[0001]

[Field of Industrial Application] The present invention is related to active matrix display panel with built-in driver, and in particular, a structure technology of a wiring layer thereof.

[0002]

[Related Art] Among flat model display panels displaying information by using orientation states of liquid crystal, in an active matrix LCD panel with a built-in driver, as a whole constitution thereof is shown in a block diagram of FIG. 10, a pixel matrix 10, a signal line driver circuit 11 (an X side driver circuit) and a scan line driver circuit 12 (a Y side driver circuit) are formed over the same transparent substrate, and downsizing, high precision and low cost of a display apparatus are achieved. Here, the signal line driver circuit 11 is provided with a shift register portion 13 driven by clock signals CL and CL\* (clock signal of reversed phase to CL), and sample hold circuit portion 14 having n-type TFT as an analog switch driven based on an output signal sent from shift register portion 13 and video signal line 15. Meanwhile, scan line driver circuit 12 is provided with a shift register, and if necessary a buffer circuit. In addition, the pixel matrix 10 has plural signal lines X1, X2, X3 ... connected to signal line driver circuit 11 side, plural scan lines Y1, Y2 ... connected to scan line driver circuit 12 side, and plural pixel areas G11, G12 ... G21, G22 ... formed at intersections of the scan line Y1, Y2 ..... and the signal line X1, X2, X3 ... in which thin film transistors T11, T12 ... T21, T22 ..., and a liquid crystal cell are provided. Here, the shift register portion 13 has buffer circuit 133 formed of an inverter 131, and a shift register 130 formed of the inverter 131 and clocked inverter 132. These inverters are both formed of a p-type TFT and an n-type TFT, and these p-type TFT and n-type TFT are wired by the wiring layer to form a driver circuit. In addition, as for the signal line driver circuit 11, positive power supply wiring VDD from a positive power supply side and negative power supply wiring VSS from a negative power supply side are formed, and in the shift register portion 13, two clock signal lines 161a and 161b which

input clock signals CL, CL \* into the shift register portion 13 are formed in the shift register portion 13.

[0003] In active matrix display panel with built-in driver of such a constitution, in its conventional pixel area, as its cross sectional view is shown in FIG. 11, polycrystalline silicon layer 52 is formed on a front side of a transparent substrate 51 (a glass substrate) supporting the whole LCD panel, phosphorus as impurity of an n-type is introduced into the polycrystalline silicon layer 52 except a channel area 52a which is a genuine polycrystalline silicon area, and a source 53 and a drain 54 of a thin film transistor 57 (TFT) are formed. Here, phosphorus is introduced by an ion implantation using a gate electrode 56 on a gate oxide film 55 formed by on a front side of polycrystalline silicon layer 51 as a mask. In addition, interlayer insulating film 58 formed of a silicon oxide film is accumulated to the front side of the TFT57, and through a first contact hole 58a in the interlayer insulating film 58, a signal line 59 formed of an aluminum layer is conductively connected to the source 53, and through a second contact hole 58b, a pixel electrode 60 formed of an ITO layer is conductively connected to the drain 54.

[0004]

[Problem to be Solved by the Invention] However, in the active matrix display panel with built-in driver, since both the pixel area side and the driver circuit side forms a multi-layer wiring structure using only the gate oxide and the interlayer insulating film 58 (on the driver circuit side, an interlayer insulating film which is the same layer as these insulating films), and a degree of freedom of a design for the structures. Therefore, problem that structures suitable for each function cannot be realized. For example, in a pixel area, the signal line 59 and the pixel electrode 60 are both formed on a front side of the interlayer insulating film 58 and are in the same layer. Therefore in order they are not short-circuited, a planar space of a predetermined size cannot but be helped but secured in a gap between an end portion of the signal line 59 and the pixel electrode 60, and there are problems that what corresponding to the space obstructs high integration, and a ratio (aperture ratio) of an area through which light in the pixel area can pass is sacrificed. Besides, since the pixel area side and the driver circuit side are formed over the

transparent substrate 51 while aiding processes each other, a structure of the pixel area side and a structure of the driver circuit limit each other, and it is not possible to realize the structure suitable for each function. For example, there is a problem that since wiring layers of the signal line 59 and the driver circuit side cannot be helped but be formed at the same time with the same material, a thick aluminum layer of 0.5 to 1.0  $\mu\text{m}$  is adopted for the wiring layer of the driver circuit side in order to prevent a delay of signals in a wiring layer of clock signal lines 161a and 161b and as a result, in the pixel area side, film thickness of the signal line 59 is increased, and planarity of the periphery of the signal line 59 is lost, so that a hindrance is generated in rubbing of liquid crystal, and display quality is deteriorated.

[0005] In view of the above-mentioned problems, an object of the present invention is to improve the degree of freedom for a design of multi-layer wiring structure, and to adopt the wiring structure that is suitable for a function of both the pixel area side and the driver circuit side in order to realize the active matrix display panel with built-in driver which can improve display quality.

[0006]

[Means for Solving the Problem] Means taken in the active matrix display panel with built-in driver concerning the present invention in order to solve the aforementioned problems is to provide an upper layer side interlayer insulating film which is formed on the upper layer side of a signal line and a pixel electrode formed in a condition that an end portion approaches an upward position of the signal line which sections a pixel area to which the signal line itself belongs on a front side of the upper layer side interlayer insulating film, and conductively connected to a drain of the thin film transistor through a second contact hole opened in the upper layer side interlayer insulating film, the lower side interlayer insulating film, and the gate insulating film in a pixel area sectioned by a scan line conductively connected to a gate electrode of a thin film transistor, and a signal line formed of a wiring layer having high etching resistance, for example, a metal layer containing molybdenum as a main component which is conductively connected to the source of the thin film transistor through a first contact hole opened in a gate insulating

film of the thin film transistor and the lower side interlayer insulating film on the front of the lower side interlayer insulating film formed on an upper layer side of the scan line.

[0007] For this, with respect to the connecting structure of a pixel electrode and a thin film transistor side, it is preferable to adopt a structure in which a pixel electrode is conductively connected to the drain of the thin film transistor through a stack electrode in the same layer as the signal line, which is formed in a contact hole opened in the lower layer side interlayer insulating film and the gate insulating film. In this case, a pixel area is provided with the stack electrode formed in the same layer as the signal line and conductively connected to the drain of the thin film transistor through the second contact hole opened in the lower layer side interlayer insulating film and the gate insulating film, an upper layer side interlayer insulating film formed on an upper layer side thereof, and a pixel electrode which is formed in a condition that an end approaches an upward position of the signal line which sections a pixel area to which the signal line itself belongs on the front side of the upper layer side interlayer insulating film, and conductively connected to the stack electrode through a third contact hole opened in the upper layer side interlayer insulating film.

[0008] A part of a light shielding mask is formed by the signal line itself, and, here, the signal line is formed of a conductive light shielding layer having high etching resistance and a light-shielding effect to expand a forming area of a pixel electrode to the maximum, and it is desirable that the end portion of the pixel electrode on the front side of the upper layer side interlayer insulating film is at a direct top position of the signal line which sections the pixel area to which itself belongs.

[0009] In addition, in a signal line driver circuit portion or a scan line driver circuit portion which controls a display status of a display panel by sending a signal to a pixel area through a signal line or a scan line, a low resistance wiring layer which is formed on a front side of the first interlayer insulating film of the same layer as the upper layer side interlayer insulating film, and conductively connected to the lower layer side thereof through at least the upper layer side interlayer insulating film, for example a low resistance wiring layer containing aluminum as a main component is preferably provided.

In this case, it is preferable that a lower layer side wiring layer constituting the low resistance wiring layer and a multi-layer wiring structure, and formed in the same layer as the signal line on the front side of the second interlayer insulating film of the same layer as the lower layer side interlayer insulating film is provided on the driver-circuit portion side.

[0010] In addition, high etching resistance in the present invention means that like molybdenum or tungsten, it is not eroded by dry etching etchant and wet etching etchant with respect to ITO and aluminum or that the degree of erosion is extremely low. Moreover, the state that the end of the pixel electrode in the present invention approaches the signal line includes both a state in which the end portion of the pixel electrode is placed at the direct top of the signal line and a state in which the end portion of the pixel electrode is placed around the signal line.

[0011]

[Operation] In the pixel area of the active matrix display panel concerning the present invention, a signal line is conductively connected to the source of the thin film transistor through the lower layer side interlayer insulating film and the gate insulating film, whereas the pixel electrode is formed on the front side of the upper layer side interlayer insulating film formed on a front side thereof, so that the signal line and the pixel electrode are structured so as to interpose the interlayer insulating film. Thus, an end portion of a pixel electrode is placed in proximity to a signal line, moreover, an end of a pixel electrode can be placed at an upward position of a signal line, so that aperture ratio in the pixel area can be improved. In contrast, since an interlayer insulating film of the same layer as the lower side interlayer insulating film and the upper layer side interlayer insulating film is provided also on the driver circuit side, the upper layer side interlayer insulating film can be provided with the low resistance wiring layer that set a material, film thickness, or the like by giving priority only to low resistance, therefore even in this case, the low resistance wiring layer is not included in a constituting element of the pixel area. In other words, it is possible to form the pixel area side independently from the constitution of the driver circuit side, therefore the signal line is formed with the



conductive light shielding layer such as molybdenum thinly, and itself is structured to be used as a light shielding mask. As a result, display quality can be improved.

[0012]

[Embodiment] Next, an attached drawings are referred to explain an embodiment of the present invention.

[0013] [Embodiment 1] FIG. 1 is a plan view of a part of an active matrix of the LCD panel with built-in driver concerning Embodiment 1 of the present invention. FIG. 2 is a cross-sectional view along a line A-A'. FIG. 3 is a cross-sectional view along a line B-B'. Here, an entire constitution of this embodiment is the same as that of the driver active matrix LCD panel with built-in driver shown in FIG. 10. Therefore, an explanation thereof is omitted.

[0014] In FIG. 1, in the active matrix of the active matrix LCD panel with built-in driver of this embodiment, of signal lines 21a, 21b ... (a signal line) in a vertical direction and of scan line 31a, 31b ... (a scan line) in a horizontal direction are wired in a grid form, and each pixel area 20a, 20b ... of a matrix array is formed therebetween.

[0015] The structure thereof is explained with the pixel area 20b as an example hereinafter. In this pixel area 20b, a thin film transistor (TFT) 8 is formed of a source 4 which is conductively connected to the signal line 21a, a gate electrode 5 which is conductively connected to the scan line 31b, and a drain 7 which is connected to the pixel electrode 6. Here, the pixel electrode 6 is a transparent electrode formed of ITO, and is formed for the almost entire surface of the pixel area 20b. For example, an end portion 61a of pixel electrode 6 is at an upward position of the signal line 21a, whereas an end portion 61b opposed to this is at an upward position of the signal line 21b. Moreover, an end portion 62a of the pixel electrode 6 is at an upward position of the scan line 31a of a preceding stage, and a capacitor is formed in the pixel area 20b. Moreover, the signal line 21a is formed of a molybdenum layer as a conductive light shielding layer having high etching resistance and light-shielding effect, whereas the scan line 31b is formed of an impurity-doped polycrystalline silicon layer.

[0016] This cross-sectional structure of the TFT 8 is that, as shown in FIG. 2, a

polycrystalline silicon layer 24 is formed on the front side of a transparent substrate 9 (glass substrate) supporting the whole LCD panel, and phosphorus as an n-type impurity is introduced into the polycrystalline silicon layer 24 except a channel area 24a which is a genuine polycrystalline silicon to form the source 4 and the drain 7. Here introduction of phosphorus is performed by utilizing ion implantation or ion shower doping with the gate electrode 5 over the gate oxide film 22 formed on the front side of polycrystalline silicon layer 24 as a mask, so that the source 4 and the drain 7 are self-aligned. On the front of this TFT 8, a lower layer side interlayer insulating film 23 formed of a silicon oxide film is accumulated, and a first contact hole 23a is opened in the lower side interlayer insulating film 23 and the gate oxide 22. Moreover, on a front side of the lower side interlayer insulating film 23, the signal line 21a formed of the molybdenum layer is formed, and the signal line 21a is conductively connected to the source 4 of the TFT 8 through the first contact hole 23a. Furthermore, on the front side of the lower side interlayer insulating film 23, an upper layer side interlayer insulating film 27 is formed, and a second contact hole 27a is opened in this upper layer side interlayer insulating film 27, the lower layer side interlayer insulating film 23 and the gate oxide film 22. In addition, on a front side of the upper layer side interlayer insulating film 27, the pixel electrode 6 formed of an ITO layer is formed, and the pixel electrode 6 is conductively connected to the drain 7 of TFT 8 through the second contact hole 27a. Accordingly, a potential can be applied from the drain 7 to the pixel electrode 6.

[0017] In addition, as shown in FIGS 1 and 3, the pixel electrode 6 of the pixel area 20b is at an upward position of the signal line 21a of which the end portion 61a sections the pixel area 20b to which itself belongs from adjacent pixel area 20a, and the end portion 61a of pixel electrode 6 of the pixel area 20b and the end portion 61c of the pixel electrode in adjacent pixel area 20a are structured to face each other at an upward position of the signal line 21a. Here the pixel electrode 6 is formed on an upper layer side of upper layer side interlayer insulating film 27, whereas the signal line 21a is formed on a lower side of the upper layer side interlayer insulating film 27, and the pixel electrode 6 and the signal line 21a have a multi-layer wiring structure with the upper layer side interlayer insulating film

27 interposed therebetween. Because of this, even if the end portion 61a of the pixel electrode 6 and the signal line 21a are closely arranged, these are not short-circuited; therefore a formation area of the pixel electrode 6 can be made wide, and the aperture ratio is high. Besides, using that the end portion 61a of the pixel electrode 6 is placed above the signal line 21a, and the signal line 21a is formed of a light shielding molybdenum layer, in the active matrix of the active matrix LCD panel with built-in driver of this embodiment, the signal line 21a is used as a light shielding mask in this direction, and only a light shielding mask of a direction of the scan lines 31a and 31b is formed on an opposite electrode side.

[0018] Further, in an active matrix 20 of this embodiment, as shown in FIG. 10, over the transparent substrate 9, the signal line driver circuit 11 (the X side driver circuit) which sends a video signal from the video signal line 15 to the pixel area G11, G12 ... G21, G22 ... (the pixel area 20b) in a chronological order through the signal line X1, X2, X3 ... (the signal line 21a), the scan line driver circuit 12 (the Y side driver circuit) which sends a scan signal to operate on/off of, the thin film transistor T11 of G22 ... (the pixel area 20b), T12 ... T21, T22 ... (TFT 8) each pixel area G11, G12 ... G21, G22 ... (the pixel area 20b) through the scan lines Y1, Y2 ... are formed, and downsizing, high precision and low cost of a display apparatus are achieved. Here, a shift register is formed in both the signal line driver circuit 11 and the scan line driver circuit 12, for example, the signal line driver circuit 11 is provided with an inverter 131, clocked inverter 132, and a buffer circuit 133, and these inverters are formed of a p-type TFT and an n-type TFT. Here, the p-type TFT and the n-type TFT are, for example, wired as shown in FIG. 4, and have a CMOS structure. In other words in FIG. 4, a drain 301 of a p-type TFT30 and a drain 311 of n-type TFT31 are conductively connected through a first wiring layer 32 (a lower layer side wiring layer), whereas a second wiring layer 33 (a low resistant wiring layer) formed of an aluminum layer having a film thickness of 0.5  $\mu\text{m}$  from a side of a positive power supply wiring layer  $V_{DD}$  is conductively connected to a source 302 of the p-type TFT 30, and a third wiring layer 34 (a low resistant wiring layer) formed of an aluminum layer having a film thickness of 0.5  $\mu\text{m}$  from a side of a negative power supply wiring layer  $V_{SS}$

is conductively connected to the source 312 of n-type TFT31. Here, the p-type TFT 30 of the driver circuit side, the n-type TFT 31, and their wiring layers and interlayer insulating films are formed making the most of the process for forming each component of the pixel area side. In other words, an explanation of each component formed in a process after a process of forming a TFT with reference to FIGS 2 and 4 is as follows. First, the lower layer side interlayer insulating film 23 on the pixel area 20b side, and a second interlayer insulating film 36 on a lower layer side of the first wiring layer 32 are formed at the same time and in the same layer. In addition, the first wiring layer 32 and the signal line 31a on the pixel area 20b side are formed at the same time and in the same layer, and they are both molybdenum layers. Further, the upper layer side interlayer insulating film 27 of the pixel area 20b side, and a second interlayer insulating film 36a and a first interlayer insulating film 37 of an upper layer side of the first wiring layer 32 are formed at the same time and in the same layer. A second wiring layer 33 and the third wiring layer 34 are processed separately from a process for forming the pixel area 20b side by utilizing that this upper layer side interlayer insulating film 27 is formed in the pixel area 20b.

[0019] Thus, the second wiring layer 33 and the third wiring layer 34 are formed of an aluminum layer (a low resistance wiring layer) having a thickness of 0.5 to 1.0  $\mu\text{m}$  that is not used in the pixel area 20b to achieve a reduction of wiring resistance. In other words, when the number of the pixels is increased in the active matrix LCD panel with built-in driver, and the shift register has 200 or more stages, it is necessary to prevent a delay of a signal using a low resistant wiring layer such as an aluminum layer or an aluminum-silicon layer having a thickness of 0.5 to 1.0  $\mu\text{m}$  by setting the sheet resistance to 100 to 50m  $\Omega/\square$ . Here, the low resistance wiring layer formed of an aluminum layer is adopted to the positive power supply wiring  $V_{DD}$ , the negative power supply wiring  $V_{SS}$ , the video signal line 15 and the clock signal lines 161a and 161b which need to be low resistant besides a wiring layer between the p-type TFT30 and the n-type TFT31. Note that, although, first wiring layer 32 and the signal line 21a are formed of a molybdenum layer having a film thickness of about 0.2  $\mu\text{m}$ , and sheet resistance thereof is 0.5 to 0.6

$\Omega/$  , a problem of a delay due to the sheet resistance does not occur when LCD panel has an opposite angle LCD panel of 5-6".

[0020] As above, in the active matrix display panel of this embodiment, the signal line 21a is conductively connected to the source 4 of the TFT 8 through a gate insulating film 22 of the TFT 8 and the lower layer side interlayer insulating film 23 formed on a front side of the gate electrode 5, whereas the pixel electrode 6 is formed on the front of the upper layer side interlayer insulating film 27 formed on the front side of the lower side interlayer insulating film 23, and the signal line 21a and the pixel electrode 6 have multi-layer structures in which an interlayer insulating film interposed therebetween; therefore the end portion 61a and 61a of the pixel electrode 6 can be placed at a neighboring position of the signal lines 21a and 21b, moreover to an upward position thereof, so that an aperture ratio in the pixel area can be improved. Besides, since contact resistance of molybdenum forming the signal line 21a and silicon of the TFT side is small, the contact hole 23a of the pixel area 20b can also be narrowed. In other words, to secure the same aperture ratio, the pixel area 20b can be reduced, whereas, the driver circuit side can be formed with minute pitch by using that a three-layer structure is employed in the driver circuit side, therefore, high integration of the active matrix display panel can be realized. In addition, the end portion 61a of the pixel electrode 6 is placed to an upward position of the signal line 21a, and since the signal line 21a is formed of a molybdenum layer that has a light-shielding property, the signal line 21a formed of a molybdenum layer is different from that formed of an aluminum layer in that a hillock and the like do not occur, the signal line 21a and the pixel electrode 6 are not short-circuited, and a light shielding mask (black stripe) in a signal line 21a direction can be formed by the signal line 21a itself. Thus, since a light shielding mask in the signal line 21a direction does not have to be on an opposite electrode side (an opposing substrate), a margin for aligning is not needed. In addition, since forming the signal line 21a has a high light-shielding property and is formed separately from the driver circuit side to have a molybdenum layer of film thickness of about 0.2  $\mu\text{m}$ , planarity in the vicinity of the signal line 21a is not lost, so that liquid crystal to which rubbing is performed over the transparent substrate 9 are not

oriented in disorder in the vicinity of the signal line 21a either. Therefore, in the active matrix display panel of this embodiment, in FIG. 5, light shielding mask BM with respect to the scan line 31a direction is necessary on the opposite electrode side as an opening portion of the pixel area 20b as shown in a shaded area, however in the signal line 21a direction, the signal line 21a itself functions as a light shielding mask, so that it is not necessary to provide a margin, and it can be used as an opening portion to the signal line 21a. Because of this, in the pixel area 20b of 50  $\mu\text{m}$  square, a length of the opening portion can be held to 38  $\mu\text{m}$  and a width of the opening portion can be held to 45  $\mu\text{m}$ , and an aperture thereof is high which is 68.4%. In contrast, in a conventional active matrix display panel as an opening part thereof is shown by a shaded area in FIG. 6, even if the length of the opening is equal to 38  $\mu\text{m}$ , to a margin M1 of about 4  $\mu\text{m}$  corresponding to aligning precision and a margin M2 of about 3  $\mu\text{m}$  for shading light even in the vicinity of the signal line in which liquid crystals are oriented in disorder by a bump are necessary when the opposite electrode side is provided with a light shielding mask, so that the width of the opening can be held to only 31  $\mu\text{m}$  and the aperture ratio thereof is low which is 47.1%. Thus, since in the active matrix display panel of this embodiment the aperture ratio is high, and display quality is high. In addition, in the active matrix display panel of this embodiment requires low power for displaying of the same luminance and consumes low power; therefore, it is suitable for the device in which a battery is a power source such as a portable video camera.

[0021] In addition, molybdenum layer forming signal line 21a has etching resistance to ITO etching solution for HBr series, therefore there is no problem in the manufacturing process even if it is provided in the lower side of pixel electrode 6. Moreover, even if there is a pinhole and the like in upper layer side interlayer insulating film, disconnection does not occur in signal line 21a.

[0022] [Embodiment 2] FIG. 7 is a cross-sectional view of an active matrix of active matrix LCD panel with built-in driver concerning Embodiment 2 of the present invention. Here, a plan view of the active matrix of the active matrix LCD panel with built-in driver of this embodiment is shown similarly to FIG. 1, and a total constitution thereof is similar

to that of the active matrix LCD panel with built-in driver shown in FIG. 10; therefore, corresponding portions are denoted by the same symbols and description thereof is omitted.

[0023] As shown in FIG. 7, in the active matrix LCD panel with built-in driver of this embodiment, the TFT 8 formed in pixel area 40b is provided with a polycrystalline silicon layer 24 on the front side of the transparent substrate 9 (glass substrate) which supports the entire LCD panel, and the source 4 and the drain 7 in which phosphorus as an n-type impurity is introduced are formed to polycrystalline silicon 24 except the channel which is the area 24a of a genuine polycrystalline silicon area. In addition, a lower side interlayer insulating film 43 formed a silicon-oxide is accumulated on the front side of the TFT 8, and a first contact hole 43a is opened in lower layer side interlayer insulating film 43 and the gate oxide 22. Moreover, on the front of lower side interlayer insulating film 43, a signal line 41a formed of a molybdenum layer is formed, and the signal line 41a is conductively connected to the source 4 of the TFT 8 through a first contact hole 43a. Further, a second contact hole 43b is opened in the lower layer side interlayer insulating film 43 and the gate oxide 22, too, and on the front side of the lower layer side interlayer insulating film 43, a stack electrode 49 formed of a molybdenum layer, which is formed at the same time as the signal line 41a, and stack electrode 49 is conductively connected to the drain 7 of the TFT 8 through the second contact hole 43b. In addition, on the front side of the lower layer side interlayer insulating film 43, an upper layer side interlayer insulating film 47 is formed, and the third contact hole 47a is opened in this upper layer side interlayer insulating film 47. In addition, on the front side of the upper layer side interlayer insulating film 47, a pixel electrode 46 formed of an ITO layer is formed, and the pixel electrode 46 is conductively connected to electrode 49 through the third contact hole 47a. Accordingly, a potential can be applied to the pixel electrode 46 from the drain 7.

[0024] In addition, in an active matrix of active matrix LCD panel with built-in driver of this embodiment, an end portion 461a of the pixel electrode 46 is at an upward position of the signal line 41a sectioning the pixel area 40b to which itself belongs from pixel area

40a as shown in FIG. 8. Here, the pixel electrode 46 is formed on the upper layer side of the upper layer side interlayer insulating film 47, while the signal line 41a is formed on the lower layer side of the upper layer side interlayer insulating film 47, and the pixel electrode 46 and the signal line 41a have multi-layer wiring structure through the upper layer side interlayer insulating film 47; therefore, even if the end portion 461a and the signal line 41a of the pixel electrode 46 are closely placed, these are not short-circuited, so that a formation area of the pixel electrode 46 is large, and an aperture ratio thereof is high.

[0025] In addition, in the active matrix of this embodiment, similarly to the active matrix concerning Embodiment 1, , a scan signal line driver circuit (an X side driver circuit) which sends video signal to the pixel area 40b in a chronological order, and a scan line driver circuit (a Y side driver circuit) which sends a scan signal for turning on/off the TFT 8 to the pixel area 40b is formed on the transparent substrate 9, and for a wiring layer of the shift register formed in these signal line driver circuit and scan line driver circuit, as shown in FIG. 4 the second wiring layer 33 and the third wiring layer 34, are formed of an aluminum layer (a low resistance wiring layer) having a thickness of 0.5 to 1.0  $\mu\text{m}$  which is not used in the pixel area 40b by utilizing that the upper layer side interlayer insulating film 47 is formed over the upper layer of the signal line 41a in the pixel area 40b to so that reduction of the wiring resistance is achieved.

[0026] As above, in the active matrix display panel of this embodiment, the signal line 41a and the pixel electrode 46 have multi-layer structure in which an interlayer insulating film interposed therebetween; therefore the pixel electrode 46 and the signal line 41a are not short-circuited, so that a formation area of the pixel electrode 46 can be expanded to the maximum to improve the aperture ratio. Besides, a pixel area signal line 41a is formed of a molybdenum layer having light-shielding property, therefore the molybdenum layer itself can form a light-shielding mask, so that light-shielding width of the light-shielding mask is as narrow as possible in a direction of the signal line 41a to improve the aperture ratio. Moreover, the molybdenum layer forming the signal line 41a is highly etching-resistant, therefore it has an effect similar to the active matrix display panel concerning this embodiment such as no hindrance in the manufacturing process.



Furthermore, even if dry etching using  $\text{CF}_4$  and the like the drain 7 is protected by the stack electrode 49, therefore a degree of freedom in process is also high when the third contact hole 47a in the upper layer side interlayer insulating film 47 by using the stack electrode 49 formed of a molybdenum layer which is highly etching-resistant.

[0027] In the active matrix display panel of this embodiment, the pixel electrode 46 is conductively connected to the drain 7 of the TFT 8 through the stack electrode 49, and the molybdenum layer forming this stack electrode 49 has lower contact resistance with respect to silicon forming the drain 7 of the TFT 8 as compared to aluminum or ITO. For example, as for a contact of  $3\ \mu\text{m}$  square, contact resistance of silicon to ITO is 30 to 50  $\text{k}\Omega$ , whereas contact resistance of silicon and molybdenum is 0.1 to 0.5  $\text{k}\Omega$ , contact resistance of molybdenum and ITO is 0.01 to 0.02  $\text{k}\Omega$ . Therefore, electric characteristics are improved, and at the same time, the first contact hole 43a and the second contact hole 43b may be narrow. In addition, after the second contact hole 43b of the minimum size of, for instance,  $3\ \mu\text{m}$  square is formed in the lower layer side interlayer insulating film 43, as shown in FIG. 8, the stack electrode 49 is formed in accordance with the shape and the size of extension 241a of the polycrystalline silicon layer 24 which is called a dog born shape, so that as shown in FIG. 9 (a) the third contact hole 47a for to conductively connecting the pixel electrode 46 to the stack electrode 49 can be formed so as to be  $3\ \mu\text{m}$  square, too. Thus, the size of the extension portion 241a of the polycrystalline silicon layer 24 and the stack electrode 49 is  $7\ \mu\text{m}$ , which is sufficient even if a margin of  $2\ \mu\text{m}$  square is added to the second contact hole of  $3\ \mu\text{m}$  square. Therefore, even if two-layer structure of the lower side interlayer insulating film 43 and the upper side interlayer insulating film 47 is employed, the aperture ratio is not sacrificed. In other words, unlike the active matrix display panel of this embodiment, in the case of forming a contact hole reaching the lower layer side interlayer insulating film and the upper layer side interlayer insulating film as shown in FIG. 9 (b), the size of the contact hole 431b formed in the lower layer side interlayer insulating film needs to be comparably larger than the size of the contact hole 471a formed on the upper layer side interlayer insulating film while aligning precision is considered; therefore, even if the size of the contact hole 471a formed

in the upper layer side interlayer insulating film is 3  $\mu\text{m}$  square, the size of the contact hole 431b formed in the lower layer side interlayer insulating film needs to be 7  $\mu\text{m}$  square with a margin of 2  $\mu\text{m}$  on both sides added, so that the aperture ratio is sacrificed. However, in the active matrix display panel of this embodiment, a large extension portion is not necessary.

[0028] Note that the shape or the size of each area of an LCD panel are properties that should be set to a predetermined condition in accordance with the size, a use of the LCD panel which should be produced, and these are not limited. Also, as for a conductive light-shielding layer that is highly etching resistant, tungsten and the like can be adopted instead of molybdenum.

[0029]

[Effect of the Invention] As above, in the active matrix display panel concerning the present invention has characteristics in that the signal line formed of molybdenum and the like is conductively connected to the source of the thin film transistor through the lower side interlayer insulating film, whereas the pixel electrode is formed on the front of the upper layer side interlayer insulating film and the signal line and the pixel electrode have a multi-layer structure in which the interlayer insulating film interposed therebetween. Therefore, according to the present invention, the pixel electrode and the signal line are not short-circuited, therefore an end portion of the pixel electrode can be closely placed at the signal line, especially the end portion of the pixel electrode can be placed to the upper position of the signal line, so that the aperture in the pixel area is improved and display quality can be improved. In addition, on the front of the signal line there is the upper layer side interlayer insulating film; therefore without simultaneously forming with the signal line, the wiring layer of the driver circuit side can be formed on the front side of the interlayer insulating film that is the same layer as the upper layer side interlayer insulating film with the other wiring material; therefore proper wiring material can be adopted to each area. Thus, the signal line is formed of a thin conductive light-shielding layer and itself is used as a light-shielding mask, light-shielding width of the light-shielding mask is made the minimum, whereby aperture ratio is improved and the like, so that display

quality can be further improved.

[0030] In addition, in the case of employing a structure in which the pixel electrode is conductively connected to the drain through the stack electrode, since the stack electrode relays between the upper layer side interlayer insulating film and the lower layer side interlayer insulating film, the size of a contact hole formed in the lower side interlayer insulating film can be narrowed, thus the size of an extension portion of a polycrystalline silicon layer which is called the dog bone shape can also be the minimum size, and even if two-layer structure of the lower layer side interlayer insulating film and the upper layer side interlayer insulating film is employed, the aperture ratio is not sacrificed.

**[Brief Description of the Drawings]**

[FIG. 1] A plan view of a part showing a matrix array of a LCD panel with built-in driver concerning Embodiment 1 of the present invention.

[FIG. 2] A cross sectional view taken along line A-A' of FIG.1.

[FIG. 3] A cross sectional view taken along line B-B' of FIG. 1.

[FIG. 4] A cross sectional view showing a part of a driver circuit side formed on the same substrate as a matrix array shown in FIG. 1.

[FIG. 5] An explanatory drawing of an aperture area in a pixel area of the matrix array shown in FIG. 1.

[FIG. 6] An explanatory drawing showing an aperture area in the pixel area of the conventional matrix array used for explaining the expanding effect of the aperture area in the pixel area of the matrix array shown in FIG. 1.

[FIG. 7] A cross sectional view showing a part of the matrix array of a LCD panel with built-in driver concerning Embodiment 1 of the present invention.

[FIG. 8] A plan view showing a part of the matrix array of the LCD panel with built-in driver shown in FIG. 7.

[FIG. 9] (a) is an explanatory drawing of the periphery of a formation area of the second and the third contact holes of the LCD panel with built-in driver shown in FIG. 7. (b) is an explanatory drawing of the periphery of the formation area of a contact hole as a comparative example explaining characteristics of the periphery of the formation area of

the second and the third contact holes shown in FIG. 9 (a).

[FIG. 10] A block diagram showing the whole structure of the matrix array of the driver built-in-type LCD.

[FIG. 11] A cross sectional view of the matrix array of the conventional LCD panel with built-in driver.

\* [Description of the Numerals]

4, 302, 312 ... source

5 ... gate electrode

6, 46 ... pixel electrode

7, 301, 311 ... drain

8 ... TFT (thin film transistor)

10 ... pixel matrix

11 ... signal line driver circuit

12 ... scan line driver circuit

13 ... shift resistor portion

14 ... sample holding circuit portion

15 ... video signal line

20a, 20b, 40a, 40b ... pixel area

21a, 21b, 41a ... signal line

31a, 31b, ... scan line

22 ... gate oxide film

23, 43 ... lower layer side interlayer insulating film

27, 47 ... upper layer side interlayer insulating film

30 ... p-type TFT

31 ... n-type TFT

32 ... first wiring layer (lower layer side wiring layer)

33 ... second wiring layer (low resistance wiring layer)

34 ... third wiring layer (low resistance wiring layer)

36 ... second interlayer insulating film

37 ... first interlayer insulating film

49 ... stack electrode

131 ... inverter

132 ... clocked inverter

130 ... shift register

133 ... buffer circuit

G11, G12 .. G21, G22 ... pixel area

T11, T12 .. T21, T22 ... thin film transistor

X1, X2, X3 ... signal line

Y1, Y2 ... scan line

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-34996

(43) 公開日 平成6年(1994)2月10日

(51) Int. Cl. <sup>5</sup>

G02F 1/136  
1/1345

識別記号

500

9018-2K

9018-2K

F I

審査請求 未請求 請求項の数7 (全9頁)

(21) 出願番号 特願平4-186822

(22) 出願日 平成4年(1992)7月14日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 中沢 尊史

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

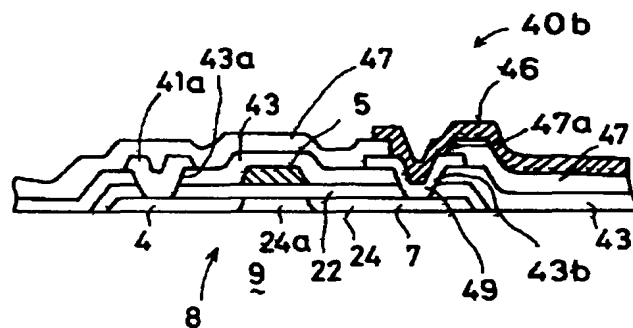
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 ドライバ内蔵型アクティブマトリクス表示パネル

(57) 【要約】

【目的】 画素領域および駆動回路に機能に応じた構造を採用し、表示の品位を向上可能なドライバ内蔵型アクティブマトリクス表示パネルを実現する。

【構成】 画素領域40bでは、耐エッチング性および遮光性の高いモリブデン層で構成された信号線41aと、画素電極46とが上層側層間絶縁膜47を介しており、画素電極46を最大限拡張してある。画素電極46は信号線41aと同層のモリブデン層たる積み上げ電極49を介してTFT8のドレイン7に導電接続している。これに対して、駆動回路側では、上層側層間絶縁膜47と同時に形成された層間絶縁膜上にアルミニウム層たる配線層を有する。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタのゲート電極に導電接続する走査線と、その上層側に形成された下層側層間絶縁膜の表面側で前記下層側層間絶縁膜および前記薄膜トランジスタのゲート絶縁膜に開口された第1の接続孔を介して前記薄膜トランジスタのソースに導電接続する耐エッチング性の高い信号線と、によって区画形成された画素領域には、

前記信号線の上層側に形成された上層側層間絶縁膜と、この上層側層間絶縁膜の表面側において、自身が属する画素領域を区画形成する信号線の上方位置に端部が近接する状態に形成され、前記上層側層間絶縁膜、前記下層側層間絶縁膜および前記ゲート絶縁膜に開口された第2の接続孔を介して前記薄膜トランジスタのドレインに導電接続する画素電極と、を有することを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

【請求項2】 薄膜トランジスタのゲート電極に導電接続する走査線と、その上層側に形成された下層側層間絶縁膜の表面側で前記下層側層間絶縁膜および前記薄膜トランジスタのゲート絶縁膜に開口された第1の接続孔を介して前記薄膜トランジスタのソースに導電接続する耐エッチング性の高い信号線と、によって区画形成された画素領域には、

前記信号線と同層に形成されて前記下層側層間絶縁膜および前記ゲート絶縁膜に開口された第2の接続孔を介して前記薄膜トランジスタのドレインに導電接続する積み上げ電極と、その上層側に形成された上層側層間絶縁膜と、この上層側層間絶縁膜の表面側において、自身が属する画素領域を区画形成する信号線の上方位置に端部が近接する状態に形成され、前記上層側層間絶縁膜に開口された第3の接続孔を介して前記積み上げ電極に導電接続する画素電極と、を有することを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

【請求項3】 請求項1または請求項2において、前記信号線は、耐エッチング性および遮光性のいずれもが高い導電性遮光層からなるとともに、前記画素電極の端部は、前記上層側層間絶縁膜の表面側において、自身が属する画素領域を区画形成する信号線の直上位置にあって、前記導電性遮光層によって、前記信号線方向の遮光マスクが構成されていることを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

【請求項4】 請求項1ないし請求項3のいずれかの項において、前記信号線および前記走査線を介して前記画素領域に信号を送出して表示パネルの表示状態を制御する信号線駆動回路部および走査線駆動回路部のうちの少なくとも一方側の駆動回路部側には、前記上層側層間絶縁膜と同層の第1の層間絶縁膜の表面側に形成され、少なくとも前記第1の層間絶縁膜を介してその下層側に導電接続する低抵抗配線層を有することを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

【請求項5】 請求項4において、前記低抵抗配線層を有する駆動回路部側には、前記下層側層間絶縁膜と同層の第2の層間絶縁膜の表面側に前記信号線と同層に形成されて、前記低抵抗配線層と多層配線構造を構成する下層側配線層を有することを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

【請求項6】 請求項4または請求項5において、前記低抵抗配線層はアルミニウムを主成分とすることを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

【請求項7】 請求項1ないし請求項6のいずれかの項において、前記信号線はモリブデンを主成分とすることを特徴とするドライバ内蔵型アクティブマトリクス表示パネル。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はドライバ内蔵型アクティブマトリクス表示パネルに関し、特に、その配線層の構造技術に関する。

【0002】

【従来の技術】 液晶の配向状態などを利用して情報を表示するフラット型表示パネルのうち、ドライバ内蔵型アクティブマトリクス方式の液晶表示パネルにおいては、その全体構成を図10にブロック図で示すように、画素マトリクス10、信号線駆動回路11（X側ドライバー回路）および走査線駆動回路12（Y側ドライバー回路）が同一の透明基板上に形成されて、表示装置の小型化、高精細化および低コスト化が図られている。ここで、信号線駆動回路11は、クロック信号CL、CL\*（CLに逆相のクロック信号）で駆動されるシフトレジスタ部13、そこから送出された出力信号に基づいて動作するn型TFTをアナログスイッチとして備えたサンプルホールド回路部14およびビデオ信号線15を有する一方、走査線駆動回路12はシフトレジスタおよび必要に応じてバッファ回路を有する。また、画素マトリクス10は、信号線駆動回路11の側に接続された複数の信号線X1、X2、X3・・・と、走査線駆動回路12の側に接続された複数の走査線Y1、Y2・・・と、これらの走査線Y1、Y2・・・および信号線X1、X2、X3・・・の交点に形成された複数の画素領域G11、G12・・・G21、G22・・・とを有し、各画素領域G11、G12・・・G21、G22・・・には薄膜トランジスタT11、T12・・・T21、T22・・・および液晶セルを有する。ここで、シフトレジスタ部13においては、インバータ131およびクロックドインバータ132で構成されたシフトレジスタ130と、インバータで構成されたバッファ回路133とを有し、これらのインバータはいずれもp型TFTとn型TFTとで構成され、これらのp型TFTとn型TFTが配線層で配線接続されて駆動回路が構成されている。なお、信号線駆動回路11に

は、正電源側からの正電源配線VDDおよび負電源側からの負電源配線VSSが形成され、シフトレジスタ部13には、クロック信号CL、CL\*をシフトレジスタ部13に入力する2つのクロック信号線161a、161bが形成されている。

【0003】このような構成のドライバ内蔵型アクティブマトリクス表示パネルにおいて、その従来の画素領域は、その断面図を図11に示すように、液晶表示パネル全体を支持する透明基板51（ガラス基板）の表面側に多結晶シリコン層52が形成されており、多結晶シリコン層52には、真性の多結晶シリコン領域であるチャネル領域52aを除いて、n型の不純物としてのリンが導入されて薄膜トランジスタ57（TFT）のソース53およびドレイン54が形成されている。ここで、リンの導入は、多結晶シリコン層51の表面側に形成されたゲート酸化膜55の上のゲート電極56をマスクとするイオン注入で行われる。また、TFT57の表面側には、シリコン酸化膜からなる層間絶縁膜58が堆積されており、そのうちの第1の接続孔58aを介して、アルミニウム層たる信号線59がソース53に導電接続し、第2の接続孔58bを介してITO層たる画素電極60がドレイン54に導電接続している。

【0004】

【発明が解決しようとする課題】しかしながら、ドライバ内蔵型アクティブマトリクス表示パネルにおいて、画素領域側および駆動回路側は、いずれも、ゲート酸化膜55および層間絶縁膜58（駆動回路側では、これらの絶縁膜と同層の層間絶縁膜）のみを利用して多層配線構造を構成しているため、それらの構造に対する設計の自由度が低いので、それぞれの機能に適した構造を実現できないという問題点がある。たとえば、画素領域において、信号線59と画素電極60とは、いずれも層間絶縁膜58の表面側に形成されて同層にあるため、それらがショートしないように、信号線59と画素電極60の端部との間に所定寸法の平面的な隙間を確保せざるを得ず、その隙間に相当する分は、高集積化を阻害するとともに、画素領域における光が通過可能な領域の割合（開口率）が犠牲になっているという問題点がある。しかも、画素領域側と駆動回路側とは、工程を互いに援用して透明基板51の上に作り込んでいくため、画素領域側の構造と駆動回路の構造とは互いに制約し合って、それぞれの機能に適した構造にできない。たとえば、信号線59と駆動回路側の配線層とは同時形成されて同一材料で構成せざるを得ないことから、クロック信号線161a、161bなどの配線層における信号の遅延を防止する目的に、駆動回路側の配線層に膜厚が0.5~1.0μmの厚いアルミニウム層を採用すると、画素領域側においては、信号線59の膜厚も厚くなって、信号線59周囲の平坦性が損なわれるため、そこでの液晶のラビングに支障が生じて、表示の品位が低下するという問題点

がある。

【0005】以上の問題点に鑑みて、本発明の課題は、多層配線構造の設計に対する自由度を高めて、画素領域側および駆動回路側のいずれの側の配線構造にも、機能に適した配線構造を採用し、表示の品位を向上可能なドライバ内蔵型アクティブマトリクス表示パネルを実現することにある。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明に係るドライバ内蔵型アクティブマトリクス表示パネルにおいて講じた手段は、薄膜トランジスタのゲート電極に導電接続する走査線と、その上層側に形成された下層側層間絶縁膜の表面側で下層側層間絶縁膜および薄膜トランジスタのゲート絶縁膜に開口された第1の接続孔を介して薄膜トランジスタのソースに導電接続する耐エッチング性の高い配線層、たとえば、モリブデンを主成分とする金属層からなる信号線とによって区画形成された画素領域に対して、信号線の上層側に形成された上層側層間絶縁膜と、この上層側層間絶縁膜の表面側において、自身が属する画素領域を区画形成する信号線の上方位位置に端部が近接する状態に形成され、上層側層間絶縁膜、下層側層間絶縁膜およびゲート絶縁膜に開口された第2の接続孔を介して薄膜トランジスタのドレインに導電接続する画素電極とを設けることである。

【0007】これに対して、画素電極と薄膜トランジスタ側との接続構造については、下層側層間絶縁膜およびゲート絶縁膜に開口された接続孔内に信号線と同層の積み上げ電極を形成し、この積み上げ電極を介して、画素電極が薄膜トランジスタのドレインに導電接続する構造を採用することが好ましい。この場合には、画素領域に対して、信号線と同層に形成されて下層側層間絶縁膜およびゲート絶縁膜に開口された第2の接続孔を介して薄膜トランジスタのドレインに導電接続する積み上げ電極と、その上層側に形成された上層側層間絶縁膜と、この上層側層間絶縁膜の表面側において、自身が属する画素領域を区画形成する信号線の上方位位置に端部が近接する状態に形成され、上層側層間絶縁膜に開口された第3の接続孔を介して積み上げ電極に導電接続する画素電極とを設ける。

【0008】ここで、信号線自身で遮光マスクの一部を構成するとともに、画素電極の形成領域を最大限拡張する目的に、信号線を、耐エッチング性および遮光性のいずれもが高い導電性遮光層で構成し、画素電極の端部は、上層側層間絶縁膜の表面側において、自身が属する画素領域を区画形成する信号線の直上位置にあることが好ましい。

【0009】また、信号線および走査線を介して画素領域に信号を送出して表示パネルの表示状態を制御する信号線駆動回路部または走査線駆動回路部においては、上層側層間絶縁膜と同層の第1の層間絶縁膜の表面側に形



成され、少なくとも上層側層間絶縁膜を介してその下層側に導電接続する低抵抗配線層、たとえば、アルミニウムを主成分とする低抵抗配線層を設けることが好ましい。この場合には、駆動回路部側に、下層側層間絶縁膜と同層の第2の層間絶縁膜の表面側に信号線と同層に形成されて、低抵抗配線層と多層配線構造を構成する下層側配線層を設けることが好ましい。

【0010】なお、本発明における耐エッチング性が高いとは、モリブデンやタングステンなどのように、ITOやアルミニウムに対するウェットエッチング用エッチャントやドライエッチング用エッチャントに浸食されないか、あるいは、その浸食の程度が極めて低いことを意味する。また、本発明における画素電極の端部が信号線に近接する状態とは、画素電極の端部が信号線の直上に配置されている状態およびその近傍に配置されている状態のいずれをも含む。

【0011】

【作用】本発明に係るアクティブマトリクス表示パネルの画素領域では、信号線が下層側層間絶縁膜およびゲート絶縁膜を介して薄膜トランジスタのソースに導電接続しているのに対して、画素電極は、それらの表面側に形成された上層側層間絶縁膜の表面側に形成されているため、信号線と画素電極とは層間絶縁膜を介する構造になっている。従って、画素電極の端部を信号線に近接して配置、さらに、画素電極の端部を信号線の上方位置にあるように配置することができるので、画素領域における開口率を高めることができる。これに対して、駆動回路側にも、下層側層間絶縁膜および上層側層間絶縁膜に同層の層間絶縁膜を有しているため、低抵抗のみを優先して材質や膜厚などを設定した低抵抗配線層を上層側層間絶縁膜に設けることができ、この場合でも、低抵抗配線層は画素領域の構成要素に含まれない。すなわち、駆動回路側の構成とは独立して、画素領域側を構成できるため、信号線をモリブデンなどの導電性遮光層で薄く構成して、それ自身を遮光マスクとして利用可能な構造にして表示品位を向上することができる。

【0012】

【実施例】次に、本発明の実施例について、添付図面を参照して説明する。

【0013】〔実施例1〕図1は本発明の実施例1に係るドライバ内蔵型液晶表示パネルのアクティブマトリクスの一部を示す平面図、図2はそのA-A'線における断面図、図3はそのB-B'線における断面図である。ここで、本例のドライバ内蔵型液晶表示パネルの全体構成については、図10に示したドライバ内蔵型液晶表示パネルと同様であるので、その説明については省略する。

【0014】図1において、本例のドライバ内蔵型液晶表示パネルのアクティブマトリクスにおいては、垂直方向の信号線21a、21b・・・(信号線)と、水平方

向の走査線31a、31b・・・(走査線)とが格子状に配線され、それらの間にマトリクスアレイの各画素領域20a、20b・・・が形成されている。

【0015】以下に、画素領域20bを例にとって、その構造を説明する。この画素領域20bにおいて、信号線21aが導電接続するソース4、走査線31bが導電接続するゲート電極5、および画素電極6が導電接続するドレイン7によって、薄膜トランジスタ(TFT)8が形成されている。ここで、画素電極6は、ITOからなる透明電極であって、画素領域20bのほぼ全面にわたって形成されている。たとえば、画素電極6の端部61aは信号線21aの上方位置にある一方、これに対向する端部61bは信号線21bの上方位置にある。また、画素電極6の端部62aは前段の走査線31aの上方位置にあって、画素領域20bには容量が作り込まれている。また、信号線21aは、耐エッチング性および遮光性が高い導電性遮光層としてのモリブデン層で構成されているのに対して、走査線31bは、不純物ドーパ型の多結晶シリコン層から構成されている。

【0016】このTFT8の断面構造は、図2に示すように、液晶表示パネル全体を支持する透明基板9(ガラス基板)の表面側に多結晶シリコン層24が形成されており、多結晶シリコン層24には、真性の多結晶シリコン領域であるチャネル領域24aを除いて、n型の不純物としてのリンが導入されて、ソース4およびドレイン7が形成されている。ここで、リンの導入は、多結晶シリコン層24の表面側に形成されたゲート酸化膜22の上のゲート電極5をマスクとするイオン注入またはイオンシャワードローピングを利用することにより、ソース4およびドレイン7がセルフアラインとなるように行われる。このTFT8の表面側には、シリコン酸化膜からなる下層側層間絶縁膜23が堆積されており、下層側層間絶縁膜23およびゲート酸化膜22には第1の接続孔23aが開口されている。また、下層側層間絶縁膜23の表面側には、モリブデン層で構成された信号線21aが形成されており、信号線21aは第1の接続孔23aを介してTFT8のソース4に導電接続している。さらに、下層側層間絶縁膜23の表面側には、上層側層間絶縁膜27が形成されており、この上層側層間絶縁膜27、下層側層間絶縁膜23およびゲート酸化膜22には第2の接続孔27aが開口されている。また、上層側層間絶縁膜27の表面側には、ITO層で構成された画素電極6が形成されており、画素電極6は第2の接続孔27aを介してTFT8のドレイン7に導電接続している。これにより、ドレイン7から画素電極6に対して電位が印加可能になっている。

【0017】また、図1および図3に示すように、画素領域20bの画素電極6は、その端部61aが、それ自身が属する画素領域20bを隣接する画素領域20aから区画する信号線21aの上方位置にあって、画素領域

20bの画素電極6の端部61aと、隣接する画素領域20aの画素電極の端部61cとは、信号線21aの上方位置において対峙する構造になっている。ここで、画素電極6は上層側層間絶縁膜27の上層側に形成されている一方、信号線21aは上層側層間絶縁膜27の下層側に形成されて、画素電極6と信号線21aとは上層側層間絶縁膜27を介して多層配線構造になっている。このため、画素電極6の端部61aと信号線21aと近接配置しても、これらが短絡することがないので、画素電極6の形成領域を広くでき、その開口率が高い。しかも、画素電極6の端部61aが信号線21aの上方に配置されているとともに、信号線21aは遮光性のモリブデン層で構成されていることを利用して、本例のドライバ内蔵型液晶表示パネルのアクティブマトリクスにおいては、信号線21aは、この方向における遮光マスクとして利用されており、対向電極の側には走査線31a、31bの方向の遮光マスクのみが形成されている。

【0018】さらに、本例のアクティブマトリクス20においては、図10に示すように、その透明基板9の上に、ビデオ信号線15からのビデオ信号を信号線X1、X2、X3・・・(信号線21a)を介して画素領域G11、G12・・・G21、G22・・・(画素領域20b)に時系列的に送出する信号線駆動回路11(X側ドライバー回路)と、各画素領域G11、G12・・・G21、G22・・・(画素領域20b)の薄膜トランジスタT11、T12・・・T21、T22・・・(TFT8)をオン・オフ動作するための走査信号を走査線Y1、Y2・・・を介して送出する走査線駆動回路12(Y側ドライバー回路)が形成されて、表示装置の小型化、高精細化および低コスト化が図られている。ここで、信号線駆動回路11および走査線駆動回路12のいずれにも、シフトレジスタが構成されており、たとえば、信号線駆動回路11においては、TFTを回路素子とするインバータ131、クロックインバータ132およびバッファ回路133を有し、これらのインバータはいずれもp型TFTとn型TFTとで構成されている。ここで、p型TFTとn型TFTは、たとえば、図4に示すように配線接続されてCMOS構造になっている。すなわち、図4において、p型TFT30のドレイン301とn型TFT31のドレイン311とは第1の配線層32(下層側配線層)で導電接続しているのに対して、p型TFT30のソース302には正電源配線層V<sub>ss</sub>の側からの膜厚が0.5μmのアルミニウム層からなる第2の配線層33(低抵抗配線層)が導電接続し、n型TFT31のソース312には負電源配線層V<sub>ss</sub>の側からの膜厚が0.5μmのアルミニウム層からなる第3の配線層34(低抵抗配線層)が導電接続している。ここで、駆動回路側のp型TFT30、n型TFT31、それらの配線層および層間絶縁膜は、画素領域側の各構成部分の形成工程を最大限援用して形成されたものである。すなわち、図2および図4

を参照して、TFTの形成工程以降の工程で形成された各構成部分を説明すると、以下のとおりである。まず、画素領域20bの側の下層側層間絶縁膜23と、第1の配線層32の下層側にある第2の層間絶縁膜36とは、同時形成されて同層にある。また、画素領域20bの側の信号線31aと、第1の配線層32とは、同時形成されて同層にあり、いずれも、モリブデン層である。さらに、画素領域20bの側の上層側層間絶縁膜27と、第2の層間絶縁膜36および第1の配線層32の上層側にある第1の層間絶縁膜37とは、同時形成されて同層にある。この上層側層間絶縁膜27が画素領域20bに形成されていることを利用して、第2の配線層33および第3の配線層34は、画素領域20bの側の形成工程とは別に行われる。

【0019】従って、画素領域20bに使用されていない膜厚が0.5~1.0μmのアルミニウム層(低抵抗配線層)で、第2の配線層33および第3の配線層34を構成して、配線抵抗の低減が図られている。すなわち、ドライバ内蔵型液晶表示パネルにおいて、その画素数が増加して、そのシフトレジスタを200段以上になると、膜厚が0.5~1.0μmのアルミニウム層またはアルミニウム-シリコン層などの低抵抗配線層を使用して、そのシート抵抗を100~50mΩ/□に設定し、信号の遅延を防止する必要があるためである。ここで、アルミニウム層で構成された低抵抗配線層は、p型TFT30とn型TFT31との間に配線層の他にも、低抵抗であることが求められる正電源配線V<sub>ss</sub>、負電源配線V<sub>ss</sub>、ビデオ信号線15およびクロック信号線161a、161bにも採用される。なお、第1の配線層32および信号線21aは、膜厚が約0.2μmのモリブデン層で構成されて、そのシート抵抗は0.5~0.6Ω/□であるが、対角が5~6°の液晶表示パネルであれば、そのシート抵抗に起因する遅延の問題は発生しない。

【0020】以上のとおり、本例のアクティブマトリクス表示パネルにおいては、信号線21aがTFT8のゲート絶縁膜22およびゲート電極5の表面側に形成された下層側層間絶縁膜23を介してTFT8のソース4に導電接続しているのに対して、画素電極6は下層側層間絶縁膜23の表面側に形成された上層側層間絶縁膜27の表面側に形成されて、信号線21aと画素電極6とは層間絶縁膜を介する多層構造になっているため、画素電極6の端部61a、61bを信号線21a、21bの近傍位置、さらには上方位置にまで配置できるので、画素領域における開口率を高めることができる。しかも、信号線21aを構成するモリブデンと、TFT側のシリコンとのコンタクト抵抗が小さいので、画素領域20bの接続孔23aも縮小化できる。換言すれば、同じ開口率を確保するのに、画素領域20bを縮小できる一方、駆動回路側では3層構造であることを利用して、駆動回路

側を微細ピッチで形成することでもできるので、アクティブマトリクス表示パネルの高集積化を実現できる。また、画素電極6の端部61aは信号線21aの上方位置にまで配置されているとともに、信号線21aは遮光性をもつモリブデン層で構成されているため、アルミニウム層で構成した場合と相違してヒロックなどが発生せず、信号線21aと画素電極6とが短絡することがないことに加えて、信号線21a自身で、信号線21a方向の遮光マスク（ブラックストライプ）を構成することができる。従って、信号線21a方向の遮光マスクは、対向電極側（対向基板）に設ける必要がないので、位置合わせのためのマージンを必要としない。しかも、信号線21aを構成するモリブデン層の遮光性が高く、また、駆動回路側とは別個に形成されて膜厚が約0.2 $\mu$ mの薄いモリブデン層であるため、信号線21aの付近の平坦性を損なうことないので、透明基板9の上にラビングされた液晶は、信号線21a付近でも配向が乱れない。それ故、本例のアクティブマトリクス表示パネルにおいては、その画素領域20bの開口部分を図5に斜線領域で示すように、対向電極側には走査線31a方向に対する遮光マスクBMは必要であるが、信号線21a方向においては、信号線21a自身が遮光マスクとして機能するため、マージンを設ける必要がなく、信号線21aまでは開口部として利用できる。このため、50 $\mu$ m角の画素領域20bにおいて、開口部の縦寸法を38 $\mu$ m、開口部の横寸法を45 $\mu$ mにまで確保でき、その開口率は68.4%と高い。これに対して、従来のアクティブマトリクス表示パネルにおいては、その開口部分を図6に斜線領域で示すように、50 $\mu$ m角の画素領域において、開口部の縦寸法は38 $\mu$ mと同等であっても、対向電極側に遮光マスクを設けるときに、位置合わせ精度に対応した約4 $\mu$ mのマージンM1および液晶の配向が段差によって乱れる信号線付近をも遮光するための約3 $\mu$ mのマージンM2が必要であるので、開口部の横寸法は31 $\mu$ mしか確保できず、その開口率は47.1%と低い。従って、本例のアクティブマトリクス表示パネルにおいては、その開口率が高いため、表示の品位が高い。また、本例のアクティブマトリクス表示パネルにおいては、同じ輝度の表示に要する電力が小さく、省電力化されているので、携帯用ビデオカメラなど、電池を電力源とする装置に適している。

【0021】また、信号線21aを構成するモリブデン層は、HBr系のITO用エッチング液に耐エッチング性を有するため、画素電極6の下層側に設けても、エッチングされないので、製造プロセス上は支障がない。しかも、上層側層間絶縁膜27にピンホールなどがあっても、信号線21aに断線が生じることもない。

【0022】〔実施例2〕図7は本発明の実施例2に係るドライバ内蔵型液晶表示パネルのアクティブマトリクスの断面図である。ここで、本例のドライバ内蔵型液晶

表示パネルのアクティブマトリクスの平面図は、図1と同様に表され、その全体構成については、図10に示したドライバ内蔵型液晶表示パネルと同様であるので、対応する部分には同符号を付して、それらの説明を省略する。

【0023】図7に示すように、本例のドライバ内蔵型液晶表示パネルのアクティブマトリクスにおいて、その画素領域40bに形成されたTFT8は、液晶表示パネル全体を支持する透明基板9（ガラス基板）の表面側に多結晶シリコン層24が形成されており、多結晶シリコン層24には、真性の多結晶シリコン領域であるチャネル領域24aを除いて、n型の不純物としてのリンが導入されたソース4およびドレイン7が形成されている。また、TFT8の表面側には、シリコン酸化膜からなる下層側層間絶縁膜43が堆積されており、下層側層間絶縁膜43およびゲート酸化膜22には第1の接続孔43aが開口されている。また、下層側層間絶縁膜43の表面側には、モリブデン層で構成された信号線41aが形成されており、信号線41aは第1の接続孔43aを介してTFT8のソース4に導電接続している。さらに、下層側層間絶縁膜43およびゲート酸化膜22には第2の接続孔43bも開口されており、下層側層間絶縁膜43の表面側には、信号線41aと同時形成されたモリブデン層で構成された積み上げ電極49が形成されて、積み上げ電極49は第2の接続孔43bを介してTFT8のドレイン7に導電接続している。また、下層側層間絶縁膜43の表面側には、上層側層間絶縁膜47が形成されており、この上層側層間絶縁膜47には第3の接続孔47aが開口されている。また、上層側層間絶縁膜47の表面側には、ITO層で構成された画素電極46が形成されており、画素電極46は第3の接続孔47aを介して積み上げ電極49に導電接続している。これにより、ドレイン7から画素電極46に対して電位が印加可能になっている。

【0024】また、本例のドライバ内蔵型液晶表示パネルのアクティブマトリクスにおいても、図8に示すように、画素電極46の端部461aが、それ自身が属する画素領域40bを画素領域40aから区画する信号線41aの上方位置にある。ここで、画素電極46は上層側層間絶縁膜47の上層側に形成されている一方、信号線41aは上層側層間絶縁膜47の下層側に形成されて、画素電極46と信号線41aとは上層側層間絶縁膜47を介して多層配線構造になっているため、画素電極46の端部461aと信号線41aとを近接配置しても、これらが短絡することがないので、画素電極46の形成領域が広く、その開口率が高い。

【0025】さらに、本例のアクティブマトリクスにおいては、実施例1に係るアクティブマトリクスと同様に、その透明基板9の上に、ビデオ信号を画素領域40bに時系列的に送出する信号線駆動回路（X側ドライバ

一回路) と、TFT8 をオン・オフ動作するための走査信号を画素領域 40b に送出する走査線駆動回路 (Y 側ドライバー回路) が形成されており、これらの信号線駆動回路および走査線駆動回路に形成されたシフトレジスタの配線層は、画素領域 40b において信号線 41a の上層に上層側層間絶縁膜 47 が形成されていることを利用して、図 4 に示すように、画素領域 40b に使用されていない膜厚が 0.5 ~ 1.0  $\mu\text{m}$  のアルミニウム層

(低抵抗配線層) で、第 2 の配線層 33 および第 3 の配線層 34 を構成して、配線抵抗の低減が図られている。 10

【0026】以上のとおり、本例のアクティブマトリクス表示パネルにおいては、信号線 41a と画素電極 46 とが層間絶縁膜を介する多層構造になっているため、画素電極 46 と信号線 41a とが短絡することがないので、画素電極 46 の形成領域を最大限広げて、画素領域 46 の開口率を高めることができる。しかも、画素領域信号線 41a は遮光性をもつモリブデン層で構成されているため、それ自身で遮光マスクを構成することができるので、信号線 41a 方向において、遮光マスクによる遮光幅を最小限にして、開口率を向上することができる。 20

さらに、信号線 41a を構成するモリブデン層は、耐エッチング性が高いので、製造プロセス上の支障などが無いことなど、実施例 1 に係るアクティブマトリクス表示パネルと同様な効果を奏する。さらには、耐エッチング性が高いモリブデン層で構成された積み上げ電極 49 を利用して、上層側層間絶縁膜 47 に第 3 の接続孔 47a を形成するとき、CF<sub>4</sub> などを用いたドライエッチングを採用しても、積み上げ電極 49 によって、ドレイン 7 が保護されるので、工程上の自由度も高い。

【0027】さらに、本例のアクティブマトリクス表示パネルにおいては、画素電極 46 は積み上げ電極 49 を介して TFT8 のドレイン 7 に導電接続しており、この積み上げ電極 49 を構成しているモリブデン層は TFT8 のドレイン 7 を構成するシリコンに対するコンタクト抵抗がアルミニウムや ITO に比較して低い。たとえば、3  $\mu\text{m}$  角のコンタクトにおいて、シリコンと ITO のコンタクト抵抗は 30 ~ 50 k $\Omega$  であるのに対して、シリコンとモリブデンのコンタクト抵抗は 0.1 ~ 0.5 k $\Omega$ 、モリブデンと ITO のコンタクト抵抗は 0.01 ~ 0.02 k $\Omega$  である。それ故、電気的特性面が向上するとともに、第 1 の接続孔 43a および第 2 の接続孔 43b は小さくてもよい。また、下層側層間絶縁膜 43 に最小寸法、たとえば、3  $\mu\text{m}$  角の第 2 の接続孔 43b を形成した後に、図 8 に示すように、ドッグボーン形状と称せられる多結晶シリコン層 24 の拡張部 241a

(ドレイン 7) の形状、寸法に合わせて、積み上げ電極 49 を形成してあるので、図 9 (a) に示すように、積み上げ電極 49 に画素電極 46 を導電接続するための第 3 の接続孔 47a も 3  $\mu\text{m}$  角で形成することができる。 40

従って、多結晶シリコン層 24 の拡張部 241a および 50

積み上げ電極 49 の大きさは、3  $\mu\text{m}$  角の第 2 の接続孔 43b の大きさに対して 2  $\mu\text{m}$  のマージンを両側に加えても、7  $\mu\text{m}$  角で充分である。それ故、下層側層間絶縁膜 43 と上層側層間絶縁膜 47 との 2 層構造にしても、開口率が犠牲にならない。すなわち、本例のアクティブマトリクス表示パネルと異なり、図 9 (b) に示すように、上層側層間絶縁膜および下層側層間絶縁膜に連通する接続孔を形成する場合には、位置合わせ精度を考慮して、下層側層間絶縁膜に形成する接続孔 431b の寸法を上層側層間絶縁膜に形成する接続孔 471a の寸法に比して大きくする必要があるため、上層側層間絶縁膜に形成する接続孔 471a の寸法が 3  $\mu\text{m}$  角であっても、下層側層間絶縁膜に形成する接続孔 431b の寸法は、2  $\mu\text{m}$  のマージンを両側に加えて 7  $\mu\text{m}$  角とする必要があるため、多結晶シリコン層 241 の拡張部 241b の大きさは、2  $\mu\text{m}$  のマージンを両側に加えて 11  $\mu\text{m}$  角にする必要があるため、開口率が犠牲になるが、本例のアクティブマトリクス表示パネルにおいては、大きな拡張部を必要としない。

【0028】なお、液晶表示パネルの各領域の形状や大きさなどは、製造すべき液晶表示パネルのサイズ、用途などによって、所定の条件に設定されるべき性質のものであり、限定のないものである。また、耐エッチング性が高い導電性遮光層としては、モリブデンの他にも、タングステンなども採用することができる。

【0029】

【発明の効果】以上のとおり、本発明に係るアクティブマトリクス表示パネルにおいては、モリブデンなどで構成された信号線が、下層側層間絶縁膜を介して薄膜トランジスタのソースに導電接続しているのに対して、画素電極は上層側層間絶縁膜の表面側に形成されて、信号線と画素電極とは層間絶縁膜を介する多層構造になっていることに特徴を有する。従って、本発明によれば、画素電極と信号線とが短絡することがないので、画素電極の端部を信号線に近接配置、特に、画素電極の端部を信号線の上方位置に配置することができるので、画素領域における開口率を高めて表示の品位を向上することができる。また、信号線の表面側には、上層側層間絶縁膜があるため、駆動回路側の配線層は信号線と同時に形成せずとも、上層側層間絶縁膜と同層の層間絶縁膜の表面側に別の配線材料で形成できるので、画素領域側と駆動回路側との間で、それぞれの領域に対して適正な配線材料を採用することができる。従って、信号線を薄い導電性遮光層で構成して、それ自身を遮光マスクとして利用することによって、遮光マスクの遮光幅を最小限にして開口率を高めるなど、表示の品位をさらに向上することができる。

【0030】さらに、画素電極が積み上げ電極を介してドレインに導電接続する構造にした場合には、上層側層間絶縁膜と下層側層間絶縁膜との間で積み上げ電極が中

継するため、下層側層間絶縁膜に形成する接続孔の大きさを最小寸法にできるので、ドッグボーンと称せられる多結晶シリコン層の拡張部の大きさも最小寸法でよく、下層側層間絶縁膜と上層側層間絶縁膜の2層構造にしても、開口率が犠牲にならない。

#### 【図面の簡単な説明】

【図1】本発明の実施例1に係るドライバ内蔵型液晶表示パネルのマトリクスアレイの一部を示す平面図である。

【図2】図1のA-A'線における断面図である。

【図3】図1のB-B'線における断面図である。

【図4】図1に示すマトリクスアレイと同一基板上に形成された駆動回路側の一部を示す断面図である。

【図5】図1に示すマトリクスアレイの画素領域における開口領域を示す説明図である。

【図6】図1に示すマトリクスアレイの画素領域における開口領域の拡大効果を説明するための従来のマトリクスアレイの画素領域における開口領域を示す説明図である。

【図7】本発明の実施例1に係るドライバ内蔵型液晶表示パネルのマトリクスアレイの一部を示す断面図である。

【図8】図7に示すドライバ内蔵型液晶表示パネルのマトリクスアレイの一部を示す平面図である。

【図9】(a)は図7に示すドライバ内蔵型液晶表示パネルのマトリクスアレイの第2および第3の接続孔の形成領域周囲を示す説明図、(b)は図9(a)に示す第2および第3の接続孔の形成領域周囲の特徴点を説明するための比較例としての接続孔の形成領域周囲の説明図である。

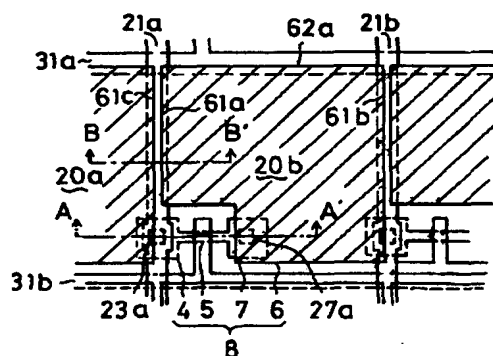
【図10】ドライバ内蔵型液晶表示パネルのマトリクスアレイの全体構成を示すブロック図である。

【図11】従来のドライバ内蔵型液晶表示パネルのマトリクスアレイの断面図である。

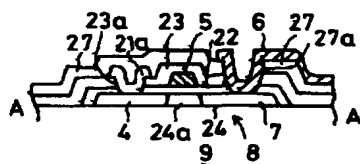
#### 【符号の説明】

- 4, 302, 312・・・ソース
- 5・・・ゲート電極
- 6, 46・・・画素電極
- 7, 301, 311・・・ドレイン
- 8・・・TFT (薄膜トランジスタ)
- 10・・・画素マトリクス
- 11・・・信号線駆動回路
- 12・・・走査線駆動回路
- 13・・・シフトレジスタ部
- 14・・・サンプルホールド回路部
- 15・・・ビデオ信号線
- 20a, 20b, 40a, 40b・・・画素領域
- 21a, 21b, 41a・・・信号線
- 31a, 31b・・・走査線
- 22・・・ゲート酸化膜
- 23, 43・・・下層側層間絶縁膜
- 27, 47・・・上層側層間絶縁膜
- 30・・・p型TFT
- 31・・・n型TFT
- 32・・・第1の配線層 (下層側配線層)
- 33・・・第2の配線層 (低抵抗配線層)
- 34・・・第3の配線層 (低抵抗配線層)
- 36・・・第2の層間絶縁膜
- 37・・・第1の層間絶縁膜
- 49・・・積み上げ電極
- 131・・・インバータ
- 132・・・クロックドインバータ
- 130・・・シフトレジスタ
- 133・・・バッファ回路
- G11, G12・・・G21, G22・・・画素領域
- T11, T12・・・T21, T22・・・薄膜トランジスタ
- X1, X2, X3・・・信号線
- Y1, Y2・・・走査線

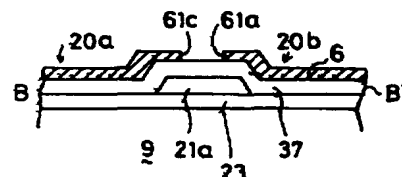
【図1】



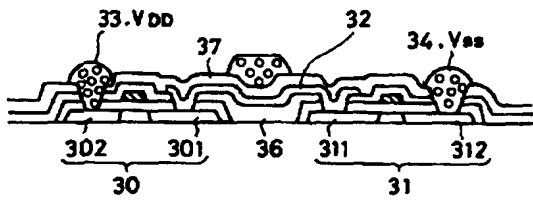
【図2】



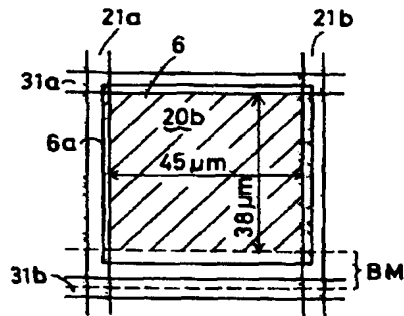
【図3】



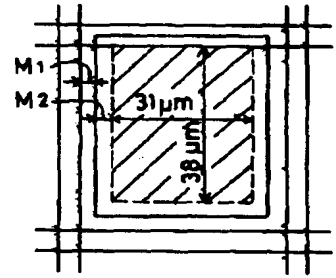
【図 4】



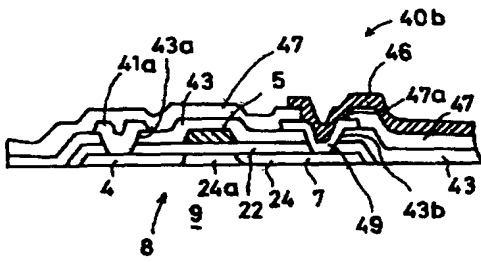
【図 5】



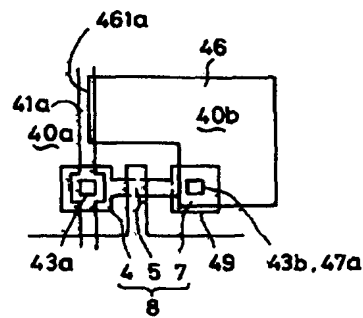
【図 6】



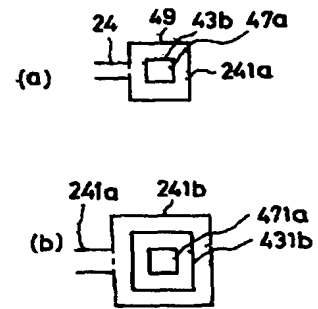
【図 7】



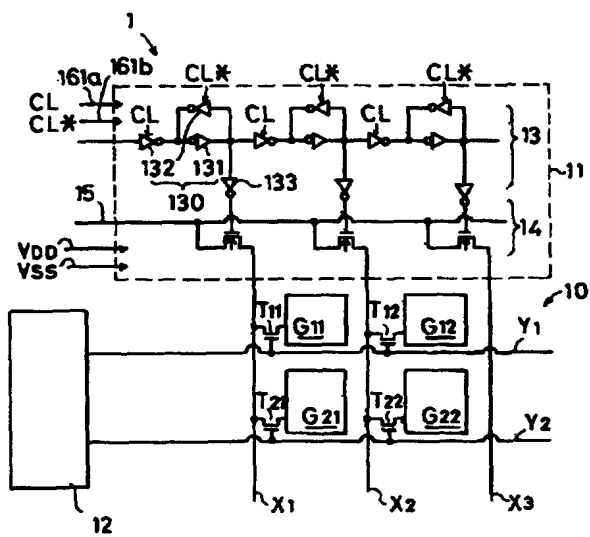
【図 8】



【図 9】



【図 10】



【図 11】

